

## **KR 0147771 B1**

**TITLE:** Method for forming polyside gate electrode of semiconductor device

### **ABSTRACT**

The present invention relates to a method for forming a polyside gate electrode of a semiconductor device. The method comprises the steps of i) sequentially forming a gate oxide layer 13, a polysilicon layer 14, a silicide layer 15 and an insulating layer 16 on an entire surface of a semiconductor substrate, after forming an isolating layer 12 on said semiconductor substrate; ii) selectively etching the insulating layer 16 to expose a part of the silicide layer 15; iii) forming an etching prevention layer 18 on a part of the exposed silicide layer 15 where a gate electrode is to be formed; and iv) sequentially etching the exposed silicide layer 15, the polysilicon layer 14 and the gate insulating layer 13, whereby reducing refraction and interference of light by the etching prevention layer 18, enhancing the resolution, minimizing the line width and finally increasing the yield of the semiconductor device.

공고특허특0147771

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)(51) Int. Cl. 6  
H01L 21/336(11) 공고번호 특0147771  
(24) 등록일자 1998년05월19일

(21) 출원번호	특1994-028775	(65) 공개번호	특1996-019606
(22) 출원일자	1994년11월03일	(43) 공개일자	1996년06월17일
(73) 특허권자	현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리 산136-1		
(72) 발명자	박상훈 경기도 이천군 이천읍 창천6리 107-1번지		
(74) 대리인	박해천 염주석		

심사관: 정희환

## (54) 반도체 소자의 폴리사이드 게이트 전극 형성 방법

## 요약

본 설명은 반도체 소자의 폴리사이드 게이트 전극 형성 방법에 있어서, 반도체기판(11)에 소자분리막(12)을 형성한 후, 전체구조 상부에 게이트절연막(13), 폴리실리콘막(14), 실리사이드막(15), 절연막(16)을 차례로 형성하는 제1단계; 상기 절연막(16) 중 최종 형성할 게이트 전극 부위중 하나씩 건너뛴 부위를 선택식각하는 제2단계; 상기 절연막이 제거된 부위중 게이트 전극이 형성될 부위에 식각 방지막(18)을 형성하는 제3단계; 노출된 상기 실리사이드막(15), 폴리실리콘막(14), 게이트절연막(13)을 차례로 식각 제거하는 제4단계를 포함하여 이루어지는 것을 특징으로하여, 식각 방지막(18)에 의한 빛의 회절 및 간섭을 감소시킴으로써, 해상도를 향상시켜, 선폭을 최소화할 수 있어 반도체 소자의 제조 수율을 향상시키는 특유의 효과가 있는 폴리사이드 게이트 전극 형성 방법에 관한 것이다.

## 명세서

[발명의 명칭]반도체 소자의 폴리사이드 게이트 전극 형성 방법 [도면의 간단한 설명]제1도는 종래 기술에 따른 폴리사이드 게이트 전극의 단면도.

제2a도 내지 제2e도는 본 발명의 일실시예에 따른 폴리사이드 게이트 전극을 형성하기 위한 공정 단면도.

제3a도 내지 제3b도는 본 발명의 다른 실시예에 따른 폴리사이드 게이트 전극을 형성하기 위한 공정 단면도.

\* 도면의 주요부분에 대한 부호의 설명 1,11 : 실리콘기판 2,12 : 필드산화막 3,13 : 게이트산화막 4,14 : 폴리실리콘막 5,15 : 실리사이드막 6,17,18 : 감광막 패턴 16 : 산화막 16' : 잔류 산화막 [발명의 상세한 설명]본 발명은 반도체 소자의 폴리사이드 게이트 전극 형성 방법에 관한 것이다.

일반적으로, 반도체 소자의 게이트 전극은 폴리실리콘, 실리사이드, 폴리사이드 등으로 형성하며, 최근에는 전기 전도성이 우수하고, 실리콘 기판과 일함수(work function) 차이가 적어 문턱전압(threshold voltage) 조절이 용이한 폴리사이드 게이트 전극을 주로 사용하여 왔다.

종래 일반적인 폴리사이드 게이트 전극의 단면도인 제1도를 참조하여 종래기술을 살펴보자. 여기서, 1은 실리콘 기판, 2는 필드산화막, 3은 게이트산화막, 4는 전도성 폴리실리콘막, 5는 실리사이드막, 6은 감광막 패턴을 각각 나타낸다.

도면에 도시된 바와 같이 종래의 폴리사이드 게이트 전극을 형성하기 위해서는, 먼저, 실리콘기판(1)에 필드산화막(2)을 형성한 후, 전체구조 상부에 게이트산화막(3), 전도성 폴리실리콘막(4), 실리사이드막(5)을 차례로 형성시킨다. 이어서, 게이트 전극을 위한 감광막 패턴(6)을 형성한 후, 이방성 식각을 수행하여 노출된 부위의 실리사

이드막(5), 전도성 폴리실리콘막(4), 게이트 산화막(3)을 차례로 제거하면 된다.

그러나, 최근에는 하프-미크론(half-micron) 이하의 게이트 전극 선폴을 요구하며, 이에 따라 상기 종래 기술을 이용하여 게이트 전극을 형성하면 노광시 실리사이드막에 의한 빛의 난반사로 인하여 감광막 패턴이 예정된 형태로 형성되지 않으며, 이를 해결하기 위하여 실리사이드막 상부에 절연막을 적층하기도 하지만, 이것 역시 노광시 빛의 회절 및 간섭 현상으로 인하여 해상도가 떨어지는 문제점이 있었다.

따라서, 상기 문제점을 해결하기 위하여 안출된 본 발명은, 실리사이드막 상부에 소정의 절연막을 형성하며, 2번의 게이트 패턴링 공정을 수행함으로써, 해상도를 향상시켜 선폴을 최소화한 폴리사이드 게이트 전극 형성 방법을 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 반도체 소자의 폴리사이드 게이트 전극 형성 방법에 있어서, 반도체기판에 소자분리막을 형성한 후, 전체구조 상부에 게이트절연막, 폴리실리콘막, 실리사이드막, 절연막을 차례로 형성하는 제1단계; 상기 절연막 중 최종 형성할 게이트 전극 부위중 하나씩 건너뛴 부위를 선택식각하는 제2단계; 상기 절연막이 제거된 부위중 게이트 전극이 형성될 부위에 식각 방지막을 형성하는 제3단계; 노출된 상기 실리사이드막, 폴리실리콘막, 게이트절연막을 차례로 식각 제거하는 제4단계를 포함하여 이루어지는 것을 특징으로 한다.

또한, 본 발명은, 반도체 소자의 폴리사이드 게이트 전극 형성 방법에 있어서, 반도체기판에 소자분리막을 형성한 후, 전체구조 상부에 게이트절연막, 폴리실리콘막, 실리사이드막, 절연막을 차례로 형성하는 제5단계; 상기 절연막 중 최종 형성할 게이트 전극 부위중 하나씩 건너뛴 부위를 선택식각하는 제6단계; 상기 절연막이 제거된 부위중 게이트 전극이 형성될 부위에 식각 방지막을 형성하는 제7단계; 노출된 상기 실리사이드막을 식각 제거한 후, 상기 잔류 절연막을 제거하는 제8단계; 노출된 상기 폴리실리콘막, 게이트절연막을 차례로 식각 제거하는 제9단계를 포함하여 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면 제2a도 내지 제2e도를 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

먼저, 제2a도 내지 제2e도는 본 발명의 실시예에 따른 폴리사이드 게이트 전극을 형성하기 위한 공정 단면도로서, 도면에서 11은 실리콘기판, 12는 필드산화막, 13은 게이트산화막, 14는 전도성 폴리실리콘막, 15는 실리사이드막, 16은 산화막, 16'은 잔류 산화막, 17, 18은 감광막 패턴을 각각 나타낸다.

도면에 도시된 바와 같이 본 발명의 실시예에 따른 폴리사이드 게이트 전극을 형성하기 위해서는, 먼저, 제2a도에 도시된 바와 같이 실리콘기판(11)에 필드산화막(12)을 형성한 후, 전체구조 상부에 게이트산화막(13), 전도성 폴리실리콘막(14), 실리사이드막(15), 산화막(16)을 차례로 형성한다. 이어서 그 상부에 감광막 패턴(17)을 형성하는데, 이는 최종 형성할 게이트 전극 부위중 하나씩 건너뛴 부위(예; 홀수번째 부위)에 형성해야 한다. 이때, 산화막(16)은 하나의 일례로서 빛의 반사도가 낮은 어떠한 증착막(특히, 열산화막, 화학기상증착 산화막, 불순물이 도핑된 산화막 등)도 가능하다.

계속해서, 제2b도에 도시된 바와 같이 상기 감광막 패턴(17)을 식각 마스크로 이용하여 절연막(16) 중 노출된 부위를  $CF_4$ ,  $CHF_3$ ,  $He$ ,  $O_2$  개스의 적정 비율에 따른 플라즈마 식각방법으로 제거하여 잔류 산화막(16') 패턴을 형성한 다음, 감광막 패턴(17)을 제거한다.

그리고, 제2c도에 도시된 바와 같이 감광막 패턴(17)이 형성된 부위를 제외한 나머지 부위중 게이트 전극이 형성될 부위에 감광막 패턴(18)을 형성하되, 감광막 패턴(17)과 동일한 임계치수로 형성한다. 따라서, 감광막 패턴(18)은 잔류 절연막(16') 사이에 형성된다.

이어서, 제2d도에 도시된 바와 같이 상기 감광막 패턴(18)과 잔류 산화막(16')을 식각 마스크로 이용하여 실리사이드막(15), 폴리실리콘막(14), 게이트산화막(13)을 차례로 이방성 식각한다. 이때, 실리사이드막(15)은 SF

6,  $Cl_2$  개스를 이용해서, 폴리실리콘막(14)은  $HBr$ ,  $Cl_2$  개스를 이용하여 식각한다.

끝으로, 제2e도에 도시된 바와 같이 감광막 패턴(18)을 제거하여 실리사이드막(15) 상부에 잔류 산화막(16')이 교대로 남아있는 초미세 게이트 전극을 완성한다.

따라서, 상기 감광막 패턴(18)의 간격이 종래 보다 넓게 위치해 있어 빛의 회절 및 간섭을 최소화 할 수 있게 되는 것이다.

한편, 첨부된 도면 제3a도 및 제3b도는 본 발명의 다른 실시예에 따른 폴리사이드 게이트 전극을 형성하기 위한 공정 단면도로서, 이를 참조하여 본 발명의 다른 실시예를 상세히 설명하면 다음과 같다. 이 도면에 표기된 도면 부호는 편의상 본 발명의 실시예와 동일하게 표기했다.

도면에 도시된 바와 같이 본 발명의 다른 실시예에 따른 폴리사이드 게이트 전극을 형성하기 위해서는, 상기 제2a도 내지 제2c도와 같은 공정을 수행한 후, 감광막 패턴(18)과 잔류 산화막(16')을 식각 마스크로 하여, 제3a도와 같이 실리사이드막(15)을 이방성 식각 제거한다.

이어서, 제3b도에 도시된 바와 같이 잔류 산화막(16')을 습식이나 건식 식각법으로 제거한 후, 감광막 패턴(18) 및 실리사이드막(15)을 식각 마스크로 사용하여 폴리실리콘막(14), 게이트산화막(13)을 이방성 식각하고, 감광막 패턴(18)을 제거한다. 이때, 상기 잔류 산화막(16')은 HF나 완충 산화막 식각액을 사용하여 식각한다.

여기서도 역시, 상기 감광막 패턴(18)의 간격이 종래 보다 넓게 위치해 있어 빛의 회절 및 간섭을 최소화 할 수 있게 되는 것이다.

상기와 같이 이루어지는 본 발명은, 실리사이드막 상부에 소정의 절연막을 형성하며, 2번의 게이트 패턴닝 공정을 수행하여, 감광막 패턴에 의한 빛의 회절 및 간섭을 감소시킴으로써, 해상도를 향상시켜, 선폭을 최소화할 수 있어 반도체 소자의 제조 수율을 향상시키는 특유의 효과가 있다.

### (57)청구의 범위

#### 청구항1

반도체 소자의 폴리사이드 게이트 전극 형성 방법에 있어서, 반도체기판에 소자분리막을 형성한 후, 전체구조 상부에 게이트절연막, 폴리실리콘막, 실리사이드막, 절연막을 차례로 형성하는 제1단계; 상기 절연막 중 최종 형성할 게이트 전극 부위중 하나씩 건너뛴 부위를 선택식각하는 제2단계; 상기 절연막이 제거된 부위중 게이트 전극이 형성될 부위에 식각 방지막을 형성하는 제3단계; 노출된 상기 실리사이드막, 폴리실리콘막, 게이트절연막을 차례로 식각 제거하는 제4단계를 포함하여 이루어지는 것을 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항2

제1항에 있어서, 상기 절연막은 열산화막, 화학기상증착 산화막, 불순물이 도핑된 산화막 중 어느 하나로 이루어지는 것을 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항3

제1항에 있어서, 상기 제2단계에서 절연막의 선택식각은  $CF_4$  및  $CHF_3$  개스를 기본으로 하여 플라즈마 식각하는 것을 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항4

제1항에 있어서, 상기 제2단계에서 절연막 선택식각시 형성되는 식각방지막과 제3단계에서 형성된 식각 방지막은 임계치수가 서로 동일하도록 형성되는 것을 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항5

제1항에 있어서, 상기 제4단계에서 실리사이드막은  $SF_6$  및  $Cl_2$  개스를 기본으로 하여 플라즈마 식각하는 것은 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항6

제1항에 있어서, 상기 제4단계에서 노출된 실리사이드막이 제거되고, 노출된 폴리실리콘막은 HBr 및  $Cl_2$  개스를 기본으로 하여 플라즈마 식각하는 것은 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항7

반도체 소자의 폴리사이드 게이트 전극 형성 방법에 있어서, 반도체기판에 소자분리막을 형성한 후, 전체구조 상부에 게이트절연막, 폴리실리콘막, 실리사이드막, 절연막을 차례로 형성하는 제5단계; 상기 절연막 중 최종 형성할 게이트 전극 부위중 하나씩 건너뛴 부위를 선택식각하는 제6단계; 상기 절연막이 제거된 부위중 게이트 전극이 형성될 부위에 식각 방지막을 형성하는 제7단계; 노출된 상기 실리사이드막을 식각 제거한 후, 상기 잔류 절연막을 제거하는 제8단계; 노출된 상기 폴리실리콘막, 게이트절연막을 차례로 식각 제거하는 제9단계를 포함하여 이루어지는 것을 특징으로 하는 폴리사이드 게이트 전극 형성 방법.

#### 청구항8

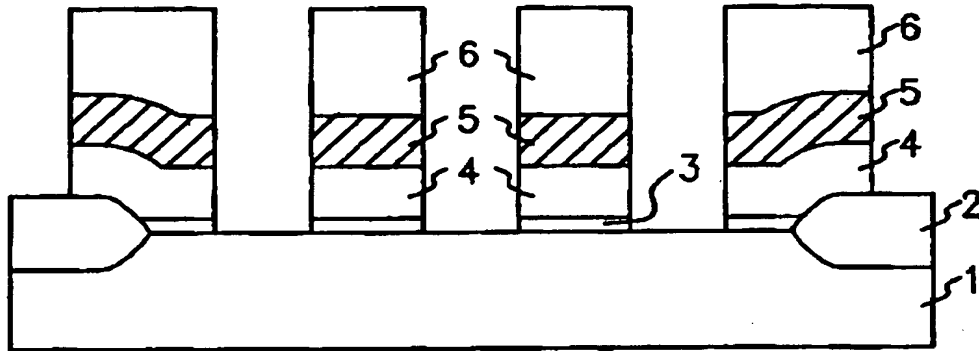
제7항에 있어서, 상기 제8단계에서 잔류 절연막은 HF나 완충 산화막 식각액을 사용하여 식각하는 것을 특징으로

## BEST AVAILABLE COPY

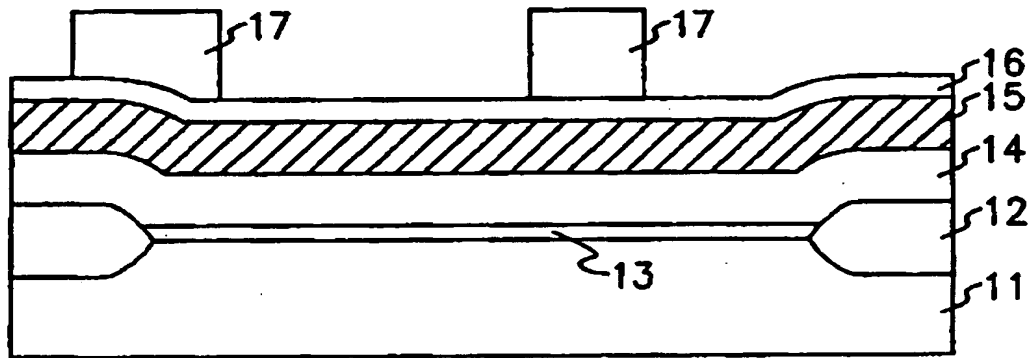
하는 폴리사이드 게이트 전극 형성 방법.

도면

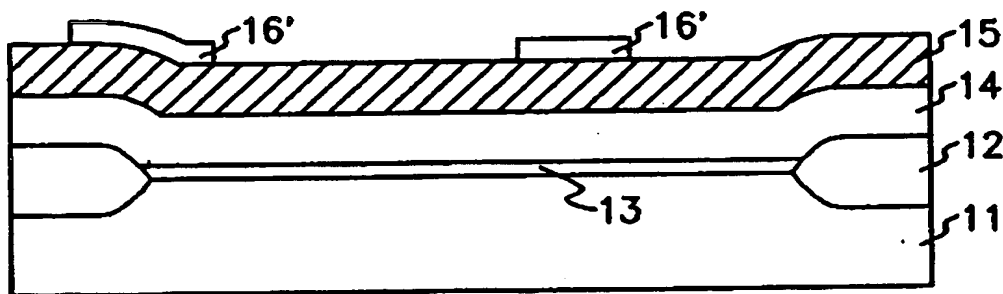
도면1



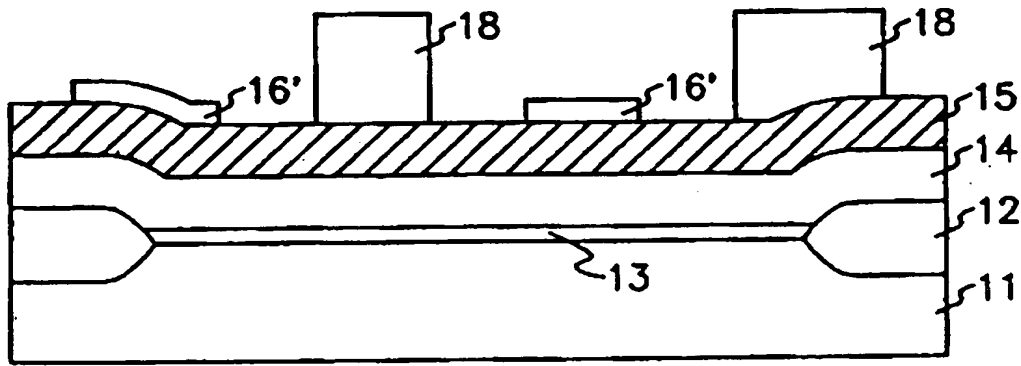
도면2a



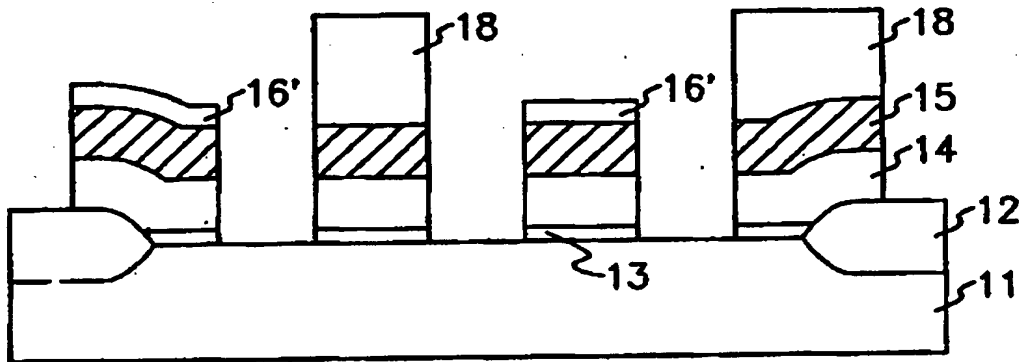
도면2b



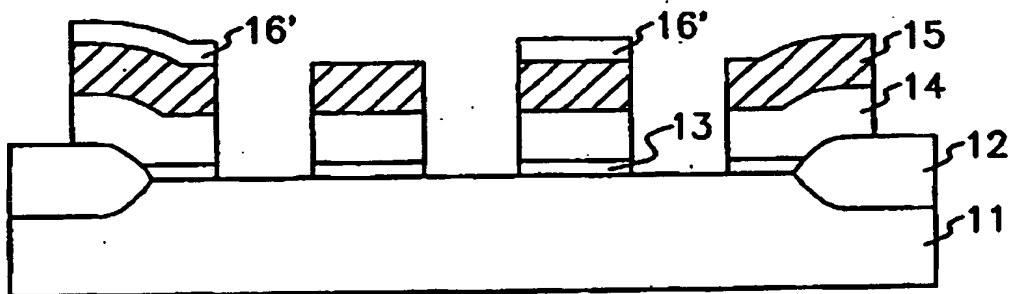
도면2c



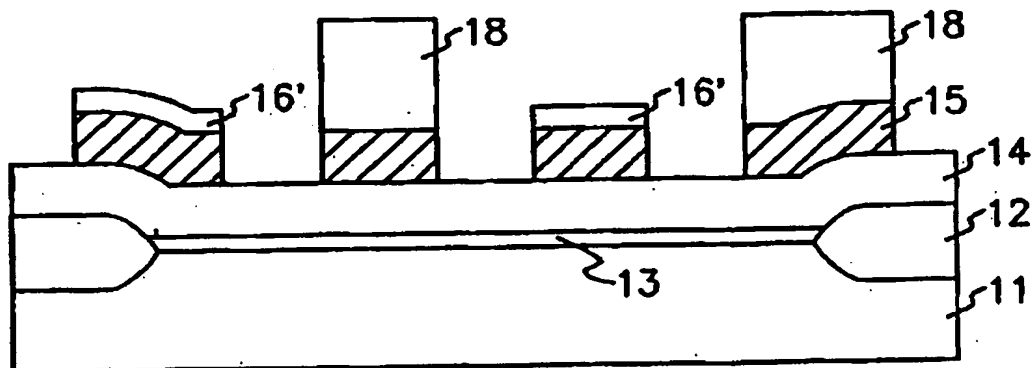
도면2d



도면2e



도면3a



도면3b

